

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-326628

(43)Date of publication of application : 12.12.1995

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 21/321
H01L 23/34

(21)Application number : 06-119946

(71)Applicant : FUJITSU LTD

(22)Date of filing : 01.06.1994

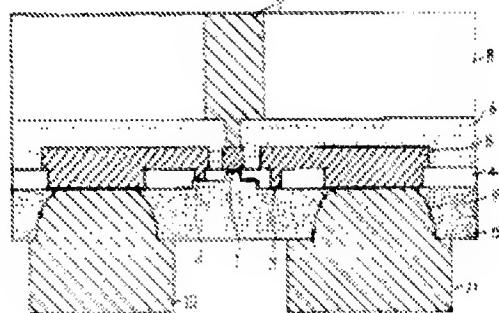
(72)Inventor : OBARA SHIRO

(54) SEMICONDUCTOR DEVICE AND PACKAGING METHOD THEREOF

(57)Abstract:

PURPOSE: To dispense with fine regulation such as position alignment of a bump which is requested in the case of flip chip packaging, by a structure wherein heat is made to escape to a package base directly from an emitter electrode.

CONSTITUTION: 1) An emitter electrode 7 connected to an emitter of a transistor is formed on the surface of a semiconductor chip 12 on the surface side of which the transistor is formed, and a base electrode 10 and a collector electrode 11 connected to a base and a collector of the transistor respectively through holes 9 opened in the semiconductor chip 12 are formed on the rear side of the semiconductor chip 12. 2) The emitter electrode 7 is constructed with a bump. 3) The periphery of the emitter electrode 7 is buried with resin. 4) The emitter electrode 7 of a semiconductor device mentioned in 1 to 3 is fixed to an electrode on a package base and connected thereto electrically.



(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326628

(13) 公開日 平成7年(1995)12月12日

(51) Int.Cl.
H01L 21/331
29/73
21/321

識別記号 庁内整理番号

P I

技術表示箇所

H01L 29/72
21/92

審査請求 未認求 請求項の数4 OL (全4頁) 最終頁に続く

(21) 出願番号

特願平6-119946

(22) 出願日

平成6年(1994)6月1日

(71) 出願人

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者

小坂 史朗

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人

弁理士 井街 貞一

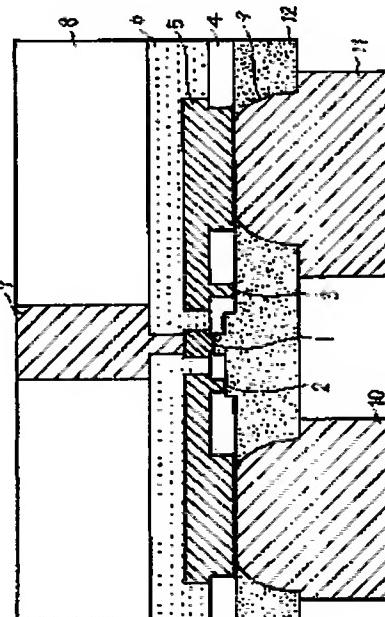
(54) 【発明の名稱】 半導体装置及びその実装方法

(52) 【要約】

【目的】 热をエミッタ電極より実装基板に直接逃がす措置で、バンプの位置合わせ等フリップチップ実装の場合に要求される微妙な調整を不要とする。

- 【構成】 1) 表面側にトランジスタが形成された半導体チップ12の表面に該トランジスタのエミッタに接続するエミッタ電極7が形成され、該半導体チップ12に開けられた貫通孔9を介して該トランジスタのベース及びコレクタに接続するベース電極10及びコレクタ電極11が該半導体チップ12の裏面に形成されている半導体装置。
 2) 前記エミッタ電極7がバンプを有して構成される。
 3) 前記エミッタ電極7の周囲が樹脂で埋め込まれている。
 4) 前記1乃至3記載の半導体装置の前記エミッタ電極7を実装基板上の電極に固定して電気的に接続する実装方法。

実施例の説明図



特開平7-326628

(2)

2

1

【特許請求の範囲】

【請求項1】 表面側にトランジスタが形成された半導体チップ(12)の表面に該トランジスタのエミッタに接続するエミッタ電極(7)が形成され、該半導体チップ(12)に開けられた貫通孔(9)を介して該トランジスタのベース及びコレクタに接続するベース電極(10)及びコレクタ電極(11)が該半導体チップ(12)の裏面に形成されていることを特徴とする半導体装置。

【請求項2】 前記エミッタ電極(7)がバンプを有して構成されることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記エミッタ電極(7)の周囲が樹脂で埋め込まれていることを特徴とする請求項1あるいは2記載の半導体装置。

【請求項4】 請求項1乃至3記載の半導体装置の前記エミッタ電極(7)を実装基板上の電極に固定して電気的に接続することを特徴とする実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその実装方法に係り、特に高出力バイポーラトランジスタとその実装方法に関する。

【0002】 近年、移動体通信機器の需要が高まり、小型、軽量、低消費電力化が要求されている。発信部の増幅器として、高効率で高出力の特徴を持つテロバイポーラトランジスタ(HBT)がこの要求に適しているが、このトランジスタはバイポーラ接合を用いたトランジスタであるため、動作時の発熱により電気特性が変化しやすいという欠点がある。このため、動作時の接合温度の上昇を抑える必要がある。

【0003】

【従来の技術】 従来の化合物半導体装置においては、トランジスタの熱抵抗を低減する手段として、PS (Plated Heat Sink)構造を用い化合物半導体基板から放熱していた。

【0004】 この手段は、チップに切断面の化合物半導体基板を $100\mu m$ 以下の厚さまで研削し、各チップごとにバイア (Via) ホール (チップを貫く貫通孔) を形成し、これを用いてチップの接地面が化合物半導体チップの裏面に施されたメカニカル面に接続される構造で、チップの裏面が実装基板に固定される。PHS 構造では上記のように化合物半導体基板を $100\mu m$ 以下の厚さにして、熱を実装基板へ逃げやすくしている。

【0005】 また、最近では、BHS (Bumped Heat Sink) 構造により熱抵抗の低減が図られている。この構造を図3に示す。図3は従来例の説明図である。

【0006】 図は化合物半導体チップの断面を示す。図において、1はエミッタ、2はベース、3はコレクタ、4は層間絶縁膜、5は配線層、6はカバー絶縁膜、7はエミッタ電極の金(Au)バンプ、10'はベース電極の金バ

ンプ、11'はコレクタ電極の金バンプ、12は化合物半導体チップである。

【0007】 このBHS 構造は化合物半導体チップ12に形成されたトランジスタ真上のエミッタの上にバンプ7を形成する。このバンプはエミッタ電極となるように電気的にエミッタと接続されている。

【0008】 ベース及びコレクタ電極を化合物半導体チップ上でトランジスタ部から引き出し、これらの電極上部にもバンプ10', 11'を形成する。以上のように、各電極用のバンプをチップ上に形成した後に、実装基板にフリップチップ実装を行う。この場合はトランジスタからの発熱をエミッタ部のバンプを通して逃がしている。

【0009】 BHS 構造は熱抵抗の低い金属バンプを通して実装基板へ熱を逃がすため、PHS構造に比べると接合温度を低く抑えることができる。

【0010】

【発明が解決しようとする課題】 ところが、BHS 構造はチップの裏面を上にして実装するフリップチップ実装であるため、化合物半導体チップを実装基板にボンディングする際に、両者の位置合わせやボンディング圧力等の微妙な調整が必要である。また、3つのバンプの高さを等しくしておくことが必要である。

【0011】 本発明はトランジスタから発生する熱をトランジスタ真上のエミッタ電極より実装基板に直接逃がす構造をとったまま、実装時にバンプの位置合わせ等フリップチップ実装の場合に要求される微妙な調整を不要とすることを目的とする。

【0012】

【課題を解決するための手段】 上記課題の解決は、
30 1) 表面側にトランジスタが形成された半導体チップ12の表面に該トランジスタのエミッタに接続するエミッタ電極7が形成され、該半導体チップ12に開けられた貫通孔9を介して該トランジスタのベース及びコレクタに接続するベース電極10及びコレクタ電極11が該半導体チップ12の裏面に形成されている半導体装置、あるいは
2) 前記エミッタ電極7がバンプを有して構成される請求項1記載の半導体装置、あるいは
3) 前記エミッタ電極7の周囲が樹脂で埋め込まれている前記1あるいは2記載の半導体装置、あるいは
4) 前記1乃至3記載の半導体装置の前記エミッタ電極7を実装基板上の電極に固定して電気的に接続することを特徴とする半導体装置の実装方法により達成される。

【0013】

【作用】 本発明では、エミッタ電極のみがチップ表面(トランジスタ形成面)に露出し、ベース及びコレクタ電極はチップ表面には露出しないでチップ裏面に露出している。チップを実装するときは、チップ裏面に形成された唯一のエミッタバンプと実装基板との接合金属等で電気的接続をするので、難しい位置合わせは不要となる。実装の際にチップを裏返して上面に出たベース及び

(3)

特開平7-326628

3

コレクタ電極は実装基板の端子にワイヤボンディング等で接続する。

【0014】このように、チップ表面にはエミッタ電極しか露出していないため、フリップチップで実装しても、微妙な位置合わせ及びボンディング圧力の調整、従来のように各パンプの高さを揃える等の必要性は不要となる。

【0015】

【実施例】図1は本発明の実施例の説明図である。図は化合物半導体チップの断面を示す。図において、1はエミッタ、2はベース、3はコレクタ、4は層間絶縁膜、5は配線層、6はカバー絶縁膜、7はエミッタ電極の金(Au)パンプ、8はチップ表面に被覆されたポリイミド膜、9は基板に開けられたバイアホール、10はベース電極、11はコレクタ電極、12は化合物半導体チップである。

【0016】通常の方法により半導体基板にトランジスタを形成し、基板上にカバー絶縁膜として気相成長(CVD法)による二酸化シリコン(SiO₂)膜6を形成し、エミッタ上部にコンタクトホールを形成する。コンタクトホール内に実装基板へ接続するための金パンプ7をめっきにて形成する。その後、基板上にポリイミド膜8を被着し、金パンプ7が露出するまでエッチングする。

【0017】ベースとコレクタからは配線層5によりそれぞれの電極が引き出されている。これらの電極の下部に基板12を貫通するバイアホール9をエッチングにより形成する。

【0018】基板裏面はレジスト膜をマスクにして金メッキを行い、バイアホール9を通して基板裏面にベース電極10及びコレクタ電極11を形成する。図2は実装の一実施例を示す断面図である。

【0019】実装基板21と化合物半導体チップ22は金一錫合金23を実装基板上で溶融させた状態で、化合物半導体チップ22を実装基板21に接続する。

4

*チップ22を搭とし込む方法で両者が接続される。エミッタ電極は実装基板の端子に接続されると同時に、トランジスタからの発熱を、熱抵抗の低い金パンプを通して実装基板へ逃がすことができる。化合物半導体チップの裏面に形成されたベース電極とコレクタ電極はボンディングワイヤ24で実装基板の端子と接続する。

【0020】

【発明の効果】本発明によれば、トランジスタの発熱源であるエミッタ部で発生した熱を、熱抵抗の大きい化合物半導体基板を通して逃がすのではなく、エミッタ真上に形成した熱抵抗の小さい金パンプを通して逃がすため、接合温度を低く抑えることができる。

【0021】さらに、化合物半導体チップと実装基板は溶融させた金属で接続するため、微妙な位置合わせは不要となり、簡単な接続が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例の説明図

【図2】 実装の一実施例を示す断面図

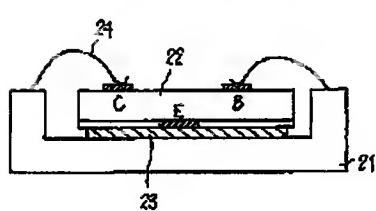
【図3】 従来例の説明図

【符号の説明】

- 1 エミッタ
- 2 ベース
- 3 コレクタ
- 4 層間絶縁膜
- 5 配線層
- 6 カバー絶縁膜
- 7 エミッタ電極
- 8 チップ表面に被覆されたポリイミド膜
- 9 基板に開けられたバイアホール
- 10 ベース電極
- 11 コレクタ電極
- 12 化合物半導体チップ

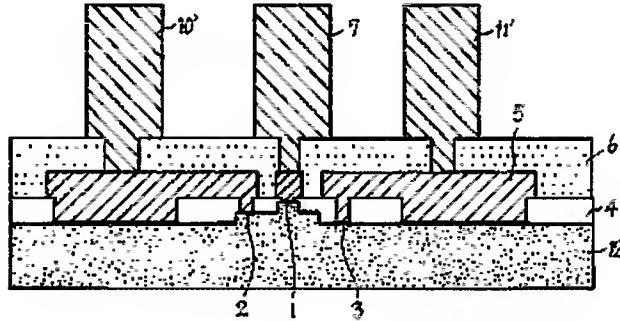
【図2】

実装の一実施例を示す断面図



【図3】

従来例の説明図

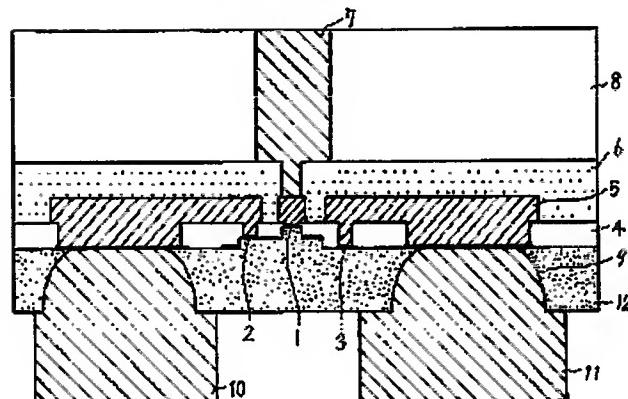


(4)

特開平7-326628

【図1】

実施例の説明図



フロントページの続き

(51)Int.Cl.[°]
H01L 23/34

識別記号
A

F I

技術表示箇所